



KARTA OPISU PRZEDMIOTU - SYLABUS

Nazwa przedmiotu

Weryfikacja projektów w technice FPGA [S2EiT1-MIEPU>WPwFPGA]

Przedmiot

Kierunek studiów

Elektronika i telekomunikacja

Rok/Semestr

2/3

Studia w zakresie (specjalność)

Multimedia i elektronika powszechnego użytku

Profil studiów

ogólnoakademicki

Poziom studiów

drugiego stopnia

Język oferowanego przedmiotu

polski

Forma studiów

stacjonarne

Wymagalność

obieralny

Liczba godzin

Wykład

30

Laboratorium

15

Inne

0

Ćwiczenia

0

Projekty/seminaria

0

Liczba punktów ECTS

4,00

Koordynatorzy

dr hab. inż. Olgierd Stankiewicz prof. PP
olgierd.stankiewicz@put.poznan.pl

Wykładowcy

Wymagania wstępne

Ma podstawową wiedzę o trendach rozwojowych w zakresie układów programowalnych. Posiada wiedzę wystarczającą do projektowania wyspecjalizowanych układów cyfrowych do zastosowania w układach programowalnych. Zna zasadę działania podstawowych interfejsów komunikacyjnych. Zna zasady projektowania podstawowych elementów układów cyfrowych (automaty, potoki). Potrafi pozyskiwać dane z literatury i innych źródeł, potrafi integrować uzyskane informacje, dokonywać ich interpretacji, a także formułować i uzasadniać opinie. Potrafi opisać elementy układu cyfrowego w postaci modułu języka Verilog. Potrafi testować i weryfikować poprawność działania układu cyfrowego. Potrafi wykorzystać poznane techniki projektowe do zaprojektowania układu cyfrowego. Posiada umiejętność korzystania z nowoczesnych narzędzi wspomagania projektowania i syntezy układów cyfrowych dla platformy układów FPGA. Jest otwarty na możliwości ciągłego doskonalenia się i rozumie konieczność podnoszenia kompetencji zawodowych. Ma podstawową wiedzę niezbędną do rozumienia pozatechnicznych uwarunkowań działalności inżynierskiej; zna podstawowe zasady bezpieczeństwa i higieny pracy. Ma poczucie odpowiedzialności za zaprojektowane systemy elektroniczne i telekomunikacyjne.

Cel przedmiotu

Poszerzenie wiedzy i umiejętności studenta w zakresie: -Techniki zabezpieczania układu cyfrowego przed błędami trwałymi i chwilowymi. -Techniki wykrywania błędów działania i uszkodzeń układu. -Metody weryfikacji projektu. -Metody testowania układów (model BIST).

Przedmiotowe efekty uczenia się

Wiedza:

Posiada wiedzę na temat metod testowania układów cyfrowych.

Zna zasadę działania interfejsy JTAG.

Zna zasady projektowania/przygotowywania modułów testowych.

Umiejętności:

Potrafi pozyskiwać dane z literatury i innych źródeł, potrafi integrować uzyskane informacje, dokonywać ich interpretacji, a także formułować i uzasadniać opinie.

Potrafi stworzyć moduł TestBench dla układu cyfrowego.

Posiada umiejętność korzystania z nowoczesnych narzędzi testowania i weryfikacji układów cyfrowych dla platformy układów FPGA.

Kompetencje społeczne:

Jest otwarty na możliwości ciągłego doskonalenia się i rozumie konieczność podnoszenia kompetencji zawodowych.

Ma podstawową wiedzę niezbędną do rozumienia pozatechnicznych uwarunkowań działalności inżynierskiej; zna podstawowe zasady bezpieczeństwa i higieny pracy.

Ma poczucie odpowiedzialności za zaprojektowane systemy elektroniczne i telekomunikacyjne.

Metody weryfikacji efektów uczenia się i kryteria oceny

Efekty uczenia się przedstawione wyżej weryfikowane są w następujący sposób:

Wykład: egzaminy pisemny.

Egzamin pisemny składa się z 6-10 pytań. Oczekiwana jest odpowiedź opisowa, punktowana ułamekowo od 0 do 1 punktu. Próg zaliczeniowy: 50% punktów. Zagadnienia zaliczeniowe, na podstawie których opracowywane są pytania zostaną przesłane studentom drogą mailową z wykorzystaniem systemu uczelnianej poczty elektronicznej.

Laboratorium: raporty (Sprawozdanie) z jednolitych tematycznie bloków ćwiczeń laboratoryjnych.

Projekt laboratoryjny realizowany indywidualnie lub w małych grupach.

Treści programowe

Metody testowania.

Model BIST.

Kompresja wektorów testowych oraz wektorów odpowiedzi.

Metody analizy danych testowych.

Układy Fault-Tolerant.

Weryfikacja projektów na układy FPGA.

Analizatory stanów logiczny dla układów FPGA.

Tematyka zajęć

brak

Metody dydaktyczne

Wykład: prezentacja multimedialna z przykładami prezentowanymi na tablicy.

Laboratoria: praca na komputerach z oprogramowaniem do symulacji i syntezy. Wykorzystanie układów FPGA. Przykłady zilustrowane na ekranie/tablicy.

Literatura

Podstawowa

J.Rajski, J. Tyszer, Arithmetic Built-In Self-Test for Embedded Systems

Uzupełniająca

Łuba T. , Rawski M., Tomaszewicz P., Zbierchowski B.: Synteza układów cyfrowych, Wydawnictwa Komunikacji i Łączności, Warszawa 2003.

Hajduk Z. Wprowadzenie do języka Verilog, BTC, Warszawa 2009

Synteza i optymalizacja układów cyfrowych, Giovanni De Micheli, WNT.

Skahill K., Język VHDL, WNT.

Kamionka-Mikuła H., Małysiak H., Pochopień B., Synteza i analiza układów cyfrowych, WKŁ.

Zbysiński P., Pasierbiński J.: Układy programowalne pierwsze kroki, Wydawnictwo BTC, Warszawa 2004.

Łuba T. Synteza układów logicznych. Oficyna Wyd. PW, Warszawa, 2005.

Bilans nakładu pracy przeciętnego studenta

	Godzin	ECTS
Łączny nakład pracy	100	4,00
Zajęcia wymagające bezpośredniego kontaktu z nauczycielem	58	2,00
Praca własna studenta (studia literaturowe, przygotowanie do zajęć laboratoryjnych/ćwiczeń, przygotowanie do kolokwίων/egzaminu, wykonanie projektu)	42	2,00